

## Микросхемы промышленного применения разработки НИИСИ РАН 2011-2015 гг.

Обозначение	Характеристики
1890BM6Я	<p>Микропроцессор 1890BM6Я представляет собой универсальный процессор с расширенными возможностями по обработке сигналов.</p> <p>В состав микропроцессора входят:</p> <p>суперскалярное микропроцессорное ядро с кэш памятью 1-го уровня 16+16 Кбайт и 2-го уровня 256 Кбайт;</p> <p>системный контроллер (контроллер DDRSDRAM, контроллер последовательных интерфейсов, контроллер ПЗУ);</p> <p>RS232, I2C, разовые команды;</p> <p>контроллер шины PCI;</p> <p>контроллер интерфейса параллельного канала RapidIO 8бит/250МГц;</p> <p>контроллер интерфейса последовательного канала RapidIO 1X/4X, 1.25 Гбит/с;</p> <p>контроллер Ethernet 10/100 Мб/с;</p> <p>контроллер USB.</p> <p>Микропроцессор может функционировать в двух режимах:</p> <p>режим универсального суперскалярного процессора с накристалльной кэш памятью первого и второго уровней и возможностью выполнения нескольких операций за такт;</p> <p>режим обработки сигналов с изолированной кэш памятью второго уровня и возможностью выполнения за такт 10 арифметических операций с 32-разрядными числами с плавающей точкой.</p> <p>Оба режима эффективно программируются на языке Си. Пиковая производительность процессора составляет 2,7 Гфлопс.</p> <p>Проектные нормы КМОП 0,18 мкм;</p> <p>номинальные значения напряжений питания – 1,8 В, 3,3 В.</p> <p>Корпус 680 BGA.</p> <p>Серийный выпуск с 2011 г.</p>
1890BM7Я	<p>СБИС 1890BM7Я имеет следующие технические характеристики:</p> <p>пиковая производительность на вещественных операциях одинарной точности – не менее 8 Гфлопс;</p> <p>пиковая скорость обмена с внешней памятью – не менее 2,56 Гбайт/с;</p> <p>пиковая скорость внешнего интерфейса RapidIO – 1 Гбайт/с (500 Мбайт/с на чтение и 500 Мбайт/с на запись).</p>

	<p>СБИС 1890ВМ7Я включает следующие функциональные элементы:</p> <ul style="list-style-type: none"> <li>• 128-разрядный специализированный сопроцессор CP2, содержащий: <ul style="list-style-type: none"> <li>○ 4 вычислительные секции АЛУ;</li> <li>○ статическое ОЗУ данных объемом 64 Кбайт в каждой вычислительной секции;</li> <li>○ регистровый файл объемом 64 (64-разрядных регистра (FPR) в каждой вычислительной секции;</li> </ul> </li> <li>• управляющий процессор с архитектурой КОМДИВ64 (К64);</li> <li>• контроллер памяти типа DDR (Controller DDR2);</li> <li>• контроллер шины RapidIO (RIO);</li> <li>• контроллер последовательного интерфейса RS-232 (UART);</li> <li>• контроллер последовательного интерфейса SPI.</li> </ul> <p>Дополнительные функциональные блоки:</p> <p>DMA контроллер (контроллер прямого доступа к памяти);</p> <p>накристалльная статическая память SRAM объемом 32 Кбайт, разрядность данных – 32, возможность 8-разрядного доступа;</p> <p>HUB – коммутатор устройств, входящих в состав микропроцессора;</p> <p>арбитр обращений к памяти DDR2 (Arbiter);</p> <p>контроллер последовательного интерфейса I2C;</p> <p>контроллер последовательного интерфейса GPIO;</p> <p>PIO – блок, обеспечивающий регистровый интерфейс к устройствам;</p> <p>блок таймеров Timers 0,1,2;</p> <p>контроллер PCI (PCI Master Slave);</p> <p>контроллер прерываний.</p> <p>Проектные нормы КМОП 0,18 мкм;</p> <p>номинальные значения напряжений питания – 1,8 В, 3,3 В.</p> <p>Корпус 680 BGA.</p> <p>Серийный выпуск с 2011 г.</p>
1890КПЗЯ	<p>Коммутатор 8 каналов RapidIO 1890КПЗЯ с пропускной способностью 1 Гбайт/с на канал содержит:</p> <ul style="list-style-type: none"> <li>• восемь 8-разрядных дуплексных портов RapidIO с частотой 250 МГц;</li> <li>• неблокируемая схема коммутации пакетов;</li> <li>• отдельная таблица коммутации для каждого порта;</li> <li>• блок сбора статистики для каждого порта RapidIO;</li> <li>• интерфейс I2C для загрузки начальной конфигурации;</li> </ul>

	<ul style="list-style-type: none"> <li>• интерфейс JTAG для тестирования и доступа к внутренним регистрам.</li> </ul> <p>Корпус 680 BGA. Серийный выпуск с 2011 г.</p>
1890ВГ18Я	<p>Мост PCI-RapidIO 1890ВГ18Я является коммутатором между шинами PCI, последовательным RapidIO и параллельным RapidIO. В его состав входят:</p> <ul style="list-style-type: none"> <li>• 32-разрядный интерфейс шины PCI 33/66 МГц</li> <li>• Ведущий шины PCI (Initiator);</li> <li>• Ведомый шины PCI (Target);</li> <li>• Арбитр шины PCI;</li> <li>• параллельный 8-разрядный дуплексный интерфейс RapidIO с тактовой частотой 250МГц;</li> <li>• последовательный дуплексный канал 4X/1X SerRapidIO или 2 канала 1X со скоростью передачи 1,25 Гбит/с;</li> <li>• Контроллер прерываний;</li> <li>• DMA-контроллер;</li> <li>• JTAG интерфейс.</li> </ul> <p>Корпус 680 BGA. Серийный выпуск с 2011 г.</p>
1890ВМ8Я	<p>2-х ядерный 64-х разрядный суперскалярный микропроцессор с архитектурой КОМДИВ64 со встроенными системным и периферийными контроллерами, кэш-памятью второго уровня и дополнительными функциями для цифровой обработки сигналов. Основные характеристики:</p> <ul style="list-style-type: none"> <li>- поддержка 32-разрядного режима выполнения инструкций и режима адресации;</li> <li>- наличие сопроцессора вещественной арифметики, поддерживающего форматы представления вещественных чисел одинарной (32 разряда) и двойной (64 разряда) точности, а также формата «пара вещественных чисел одинарной точности»;</li> <li>- наличие специализированного векторного сопроцессора, оптимизированного под задачи линейной алгебры и цифровой обработки сигналов одинарной и двойной точности с отдельным регистровым файлом на 64 128-разрядных регистра, поддерживающего форматы вещественных и комплексных чисел одинарной и двойной точности;</li> <li>- трансляция 32-разрядных и 64-разрядных виртуальных адресов в 36-разрядные физические;</li> <li>- ассоциативный буфер трансляции виртуальных адресов (jTLB) на 64 адреса (128 страниц);</li> <li>- отдельные кэш буфера трансляции виртуальных адресов (micro TLB) на 4 адреса для инструкций и данных, прозрачные для программной модели;</li> <li>- отдельные наборно-ассоциативные кэши первого уровня инструкций 32 Кбайт (8 секции) и данных</li> </ul>

	<p>размером 16 Кбайт (4 секции);</p> <ul style="list-style-type: none"> <li>- кэш-память 2-го уровня размером 512 Кбайт (4 секции);</li> <li>- 128-разрядная внутренняя шина;</li> <li>- 7-ступенчатый суперскалярный конвейер с предвыборкой инструкций и возможностью выполнения двух команд за такт;</li> <li>- считывание до четырех команд за один такт;</li> <li>- динамическое предсказание переходов и спекулятивное выполнение инструкций.</li> </ul> <p>Микросхема содержит:</p> <ul style="list-style-type: none"> <li>- 2 контроллера динамической памяти DDR2/DDR3 400/800МГц;</li> <li>- 2 контроллера интерфейсов RapidIO;</li> <li>- встроенный коммутатор RapidIO на 4 последовательных и один параллельный каналы;</li> <li>- контроллер PCI 33/66 МГц;</li> <li>- контроллер последовательных портов RS232 (2 порта);</li> <li>- 2 контроллера Ethernet 1000/100/10;</li> <li>- 1 контроллер SATA 3.0 с 2-мя каналами;</li> <li>- 1 host-контроллер USB 2.0 с 2-мя каналами;</li> <li>- контроллер SPI (4 устройства);</li> <li>- контроллер I2C;</li> <li>- 16 разовых команд;</li> <li>- контроллер прерываний;</li> <li>- 5 таймеров;</li> <li>- контроллер внутрисхемной отладки EJTAG.</li> </ul> <p>Корпус flip-chip BGA 1294 вывода.  Технология изготовления 65 нм КМОП.  Серийный выпуск с 2016 г.</p>
1890BM9Я	<p>Микропроцессор цифровой обработки сигналов.</p> <p>Основные характеристики:</p> <p>технология изготовления 65 нм;</p> <p>частота функционирования до 1 ГГц;</p> <p>производительность до 80 Гфлопс, 80 арифметических операций/такт.</p> <p>В состав микросхемы входят:</p>

Два универсальных 64-разрядных ядра, каждое содержит 4 вычислительных секции вещественной арифметики одинарной точности;  
4 коммутируемых канала в стандарте RapidIO 4X со скоростью передачи 3,125 Гб/с на линию;  
2 контроллера DDR2/3;  
2 контроллера Ethernet 1Гб/с;  
- 1 контроллер SATA 3.0;  
- 1 host-контроллер USB 2.0;  
служебные интерфейсы.  
Вычислительные секции включают:  
64 регистра (комплексные числа)  
8 секций накрystalной памяти (по 64К чисел)  
4 сумматора + 4 умножителя (1 комплексное умножение с накоплением)  
Развитый контроллер ПДП (ОЗУ ↔ накрystalная память ядер)  
Число выполняемых инструкций на такт:  
Регистры ↔ накрystalная память - 16  
ОЗУ ↔ накрystalная память - 4  
Контроллер ПДП  
Конвейеризированных поток заданий  
Многомерная модель операций обмена  
Парирование задержек конвейера за счет большого числа регистров (многопоточность)  
100% совмещение обменов и вычислений  
Корпус flip-chip BGA 1294 вывода.  
Технология изготовления 65 нм КМОП.  
Серийный выпуск с 2016 г.