

Функциональное описание программы

Программа для ЭВМ «Сложно-функциональный блок контроллера интерфейса PCI Express» (ПО PCIE) предназначена для получения эквивалентной электрической схемы, предназначенной как для использования в составе заказных интегральных схем (ИС), так и в составе программируемых логических интегральных схем (ПЛИС).

Код ПО PCIE, написанного с применением высокоуровневого языка описания аппаратуры Verilog HDL, представляет собой логическую модель, предназначенную для описания работы устройства в реальном времени (RTL модель). Посредством программ компиляции и моделирования RTL модель транслируется в описание на основе библиотечных элементов, в свою очередь использующегося для получения эквивалентной электрической схемы.

ПО PCIE представляет собой аппаратную реализацию контроллера интерфейса PCI Express (PCI-E), совместимую со спецификацией PCI Express Base Specification, Revision 3.0 и предназначенную для использования в вычислительных и коммуникационных устройствах, серверах.

Установка программы

В качестве ПО для компиляции и моделирования используется Icarus Verilog свободно распространяемый компилятор языка описания аппаратуры Verilog HDL, поддерживающий версии 1995, 2001 и 2005, частично SystemVerilog и некоторые расширения.

В качестве ПО для наглядного представления результатов моделирования используется свободно распространяемое средство просмотра временных диаграмм GTKWave.

Указанное ПО развёрнуто на сервере под управлением ОС Debian 10.

В качестве ЭВМ для удалённого доступа к серверу по SSH применяется компьютер типа IBM PC с установленной ОС Linux.

Для установки ПО PCIE необходимо:

- скопировать с диска инструментальной ЭВМ файл PCIE_3-0_IP_V01.tar в произвольную папку на сервере;
- распаковать в текущую папку архив командой `tar -xvf PCIE_3-0_IP_V01.tar`;
- перейти в распакованную папку архива командой `cd ./pcie_30_ip_v01`;
- вывести список вложений командой `ll`, убедиться в наличии папок с именами ASIC, source, verification.

Для компиляции и моделирования ПО PCIE пакет должен включать предварительно установленный Icarus Verilog (версия тестового запуска iverilog-11.0), а также GTKWave (версия тестового запуска gtkwave-3.3.111).

Руководство пользователя

Для запуска команды на компиляцию ПО и исполнение тестового сценария используется скрипт, написанный с использованием языка Python, находящийся в папке `./pcie_3-0_ip_v01/verification/scripts/`:

- `run_sim.py` – скрипт компиляции и запуска моделирования RTL модели с использованием языка Python.

Порядок запуска тестового сценария:

- запустить терминал для ввода команд в ОС Linux;
- перейти в рабочую папку командой `cd ./pcie_30_ip_v01/verification/`;
- выполнить команду `python ./scripts/run_sim.py`;
- по завершении процедуры компиляции с использованием библиотеки `worklib` появится сообщение `> Loading native compiled code:.....Done`, и далее сводная таблица скомпилированного кода с заголовком `> Design hierarchy summary`;
- при старте теста в консоли выдачи текстовых сообщений появится сообщение `>starting test`;
- по мере прохождения теста появятся сообщения об окончании процедур сброса `>==== axi reset done`, ожидании окончания процедуры инициализации `>==== waiting for pcie rc link up`, текущих сообщений о цепочке переходов машины состояний инициализации от `>==== LTSSM_state_RC = 1` вплоть до `>==== LTSSM_state_RC = 48`, окончания процедуры инициализации `>==== pcie link up done`, начале процесса `>==== reading EP id code` передачи и последующего приёма пакетов с инкрементированием соответствующих счётчиков на передачу пакетов от `>==== count_tx = 1` до `>==== count_tx = a`, и приём пакетов `>==== count_rx = 1...>==== count_rx = a` соответственно;
- дождаться сообщения об успешном выполнении теста `>==== PCIE test success!`