

- Application specific integrated circuits for multi-element photodetectors' signal processing 258 Специализированные микросхемы для обработки сигналов многоэлементных фотодетекторов
Bocharov Yuri I., Butuzov Vladimir A., Simakov Andrey B.
Бочаров Юрий Иванович, Бутузов Владимир Алексеевич, Симаков Андрей Борисович
- Development of Integrated Circuits in High Voltage Submicron Technologies for Power Electronics Application 265 Разработка интегральных микросхем по высоковольтным субмикронным технологиям для силовой электроники
Antonov Andrey A., Vasilyev Vladislav Yu., Popov Yuri N.
Антонов Андрей Андреевич, Васильев Владислав Юрьевич, Попов Юрий Николаевич
- Physical Layer of data interface units in the form of IPs and single chips 275 Физическая часть (Physical Layer) интерфейсов передачи данных в виде сложно-функциональных блоков (IP-блоков) и отдельных микросхем. Особенности проектирования
Mazhulin Vadim V., Berezhnoy Arseniy A., Baranovskiy Aleksey O.
Мажулин Вадим Владимирович, Бережной Арсентий Алексеевич, Барановский Алексей Олегович
- SRISA processors for space applications 278 Микропроцессоры НИИСИ РАН для космического применения
Novozhilov E. A.
Новожилов Е. А.
- Configurable functional complete tolerant logic element 279 Конфигурируемый функционально-полный толерантный логический элемент
Tyurin Sergey F., Zarubskiy Vladimir G.
Тюрин Сергей Феофанович, Зарубский Владимир Георгиевич
- Accuracy evaluation of dynamic branch prediction unit on SPEC benchmarks 285 Оценка точности работы блока динамического предсказания на тестах SPEC
Barskikh Michael E.
Барских Михаил Евгеньевич
- Domestic matrix CMOS sensors developed by Pulsar JSC 295 Отечественные матричные КМОП-фотоприемники разработки АО «НПП «Пульсар»
Borodin Dmitry V., Osipov Yury V., Vasil'ev Vladimir V., Pugachov Andrey A.
Бородин Дмитрий Владиленович, Осипов Юрий Владимирович, Васильев Владимир Викторович, Пугачев Андрей Алексеевич
- Directions of development and issues in electronic devices development at production department of JSC "NII komandnykh priborov" 297 Направления развития и проблемные вопросы разработки электронных устройств приборов изготовления АО «НИИ командных приборов»
Zolotarev Stanislav K., Nikolaenko Anatoliy A., Yakimovskiy Dmitry O.
Золотарев Станислав Константинович, Николаенко Анатолий Александрович, Якимовский Дмитрий Олегович
- Methods of designing and verifying libraries of standard digital elements and input-output elements 300 Методика проектирования и верификации библиотек стандартных цифровых элементов и элементов ввода-вывода
Ilin Sergey A., Kochanov Sergey K., Lastochkin Oleg V., Novikov Anton A.
Ильин Сергей Алексеевич, Кочанов Сергей Константинович, Ласточкин Олег Викторович, Новиков Антон Алексеевич
- The input-output buffers development methodology based on the digital cells specialized libraries 303 Методика разработки заказных буферов ввода-вывода на основе библиотек специализированных цифровых элементов
Ilin Sergey A., Kochanov Sergey K., Lastochkin Oleg V., Novikov Anton A.
Ильин Сергей Алексеевич, Кочанов Сергей Константинович, Ласточкин Олег Викторович, Новиков Антон Алексеевич
- PCI Express controller monitor 306 Монитор контроллера PCI Express
Aleksan P. A., Tokarev I. V.
Алексан П. А., Токарев И. В.
- Test generators for random stimulus RTL model verification 312 Генераторы тестов случайных воздействий для верификации RTL-моделей
Stambolyan R. R.
Стамболян Р. Р.
- Clock trees design and synchronization for fault-tolerant systems on chip 319 Построение и синхронизация деревьев синхросигнала в сбоеустойчивых системах на кристалле
Skorobogatov A. P.
Скоробогатов А. П.



МОНИТОР КОНТРОЛЛЕРА PCI EXPRESS PCI EXPRESS CONTROLLER MONITOR

УДК 621.382.2

АЛЕКСАН П. А.
peteris@cs.niisi.ras.ru

ТОКАРЕВ И. В.
tokigvl@cs.niisi.ras.ru

Федеральное государственное учреждение «Федеральный научный центр «Научно-исследовательский институт системных исследований Российской академии наук»

ALEKSAN P. A.
peteris@cs.niisi.ras.ru

TOKAREV I. V.
tokigvl@cs.niisi.ras.ru

Federal State Institution "Scientific Research Institute for System Analysis of the Russian Academy of Sciences"

В данной работе описывается разработка монитора контроллера PCI Express для тестирования и диагностики протокольного уровня в качестве надстройки над стандартизированной регистровой моделью одноименного стандарта.

Ключевые слова: PCI Express; LTSSM; TLP; DLLP; JTAG; отладка.

This paper discusses the development of the PCI Express controller monitor for testing and diagnostics of legal level as superstructure over the standardized register model of the PCI Express standard.

Keywords: PCI Express; LTSSM; TLP; DLLP; JTAG; debugging.

ВВЕДЕНИЕ

В данной работе описывается разработка монитора контроллера PCI Express для тестирования и диагностики протокольного уровня в качестве надстройки над стандартизированной регистровой моделью одноименного стандарта.

Были рассмотрены программно-аппаратные средства различных производителей для анализа протокольного уровня устройств PCI Express для версий 1.0, 2.0, 3.0, отмечены их преимущества и недостатки.

В настоящее время на рынке представлен целый ряд решений, позволяющих разработчикам отслеживать весь поток данных между целевым устройством и root-комплексом на инструментальной ЭВМ на шине PCI Express. Более того, разработчиками стандарта PCI Express предусмотрена регистровая модель, с помощью которой пользователь имеет возможность отслеживать наличие ошибок в работе протокола, производить циклы записи/чтения в специализированные конфигурационные регистры и т. д.

Стоит отметить, что без использования вышеупомянутого специализированного оборудования разработчик не имеет возможности отслеживать работу протокольного уровня PCI Express, количество переданных (принятых) пакетов разных типов, наличие или отсутствие подтверждения на отправку (прием) пакетов (ACK/NACK) и т. д.

В связи с этим возникает потребность в реализации такого монитора, который позволил бы разработчику иметь максимально полное отображение работы протокола PCI Express, сопоставимого с тем, что предоставляют специализированные протокольные анализаторы.

ЦЕЛЬ РАБОТЫ

Потребность в разработке монитора контроллера PCI Express обусловлена недостаточностью отладочных возможностей, предусмотренных спецификацией, а также отсутствием исключительно программных средств с открытым исходным кодом для обеспечения полноты тестирования PCI Express устройств.

Целями данной работы являются:

- разработка регистровой модели, предоставляющей в максимальном объеме набор отладочной информации;
- разработка логических блоков в составе микросхемы контроллера PCI Express, позволяющего обрабатывать поток данных;
- разработка программного обеспечения для мониторинга машины состояний PCI Express, визуализации потока данных, ошибок и статусной информации;
- в качестве метода доступа предлагается использование интерфейса граничного сканирования (JTAG);
- монитор должен поддерживать как ранние спецификации (PCIe 1.0, 2.0), так и наиболее актуальные (PCIe 3.0). Критерием оценки разработанного монитора является полнота поддерживаемых тестовых процедур, а именно:
 - визуальное представление LTSSM;
 - поддержка функций отслеживания потока данных (DLL-пакеты, LINK-транзакции и SPLIT-транзакции) на всех скоростях (2,5/5,0/8,0 Гб/сек) и при любой ширине линий данных (x1, x4, x8, x16);
 - чтение/запись в предусмотренные стандартом регистры.

ОПИСАНИЕ СУЩЕСТВУЮЩИХ МЕТОДИК ТЕСТИРОВАНИЯ ПРОТОКОЛЬНОГО УРОВНЯ PCI EXPRESS

Рассмотрим для начала методику тестирования PCI Express с применением исключительно тех функций, которые предусмотрены официальным стандартом. Данная методика основывается на предлагаемой пользователям регистровой модели. Как было отмечено ранее, данная модель позволяет производить мониторинг наличия ошибок, а также необходимые настройки для контроллера путем реализации циклов записи/чтения в соответствующие регистры. Общая схема регистровой модели устройств PCI Express изображена на рис. 1.

Помимо отслеживания признаков наличия ошибок, пользователю предоставляются такие возможности, как:

- получать информацию о ширине линий передачи данных, скорости установленного соединения;
- производить чтение/запись в BAR (Base Address Registers);
- осуществлять запись в различные конфигурационные регистры.

Предлагаемая стандартом регистровая модель отлично применима для пользователей, однако для разработчиков имеет ряд недостатков, обусловленных отсутствием инструментариев для анализа входящего и исходящего потока данных (пакетов).

Методика, позволяющая анализировать потоки данных между целевым устройством и root-комплексом, заключается во включении промежуточного звена, специализированного протокольного анализатора PCI Express. Схема такого подключения изображена на рис. 2.

В указанной конфигурации появляется промежуточное звено — Add-in card (дополнительная карта PCI Express) вместе с сопутствующей аппаратурой (Add-in card host) и программным обеспечением. На сегодняшний день на рынке имеется несколько предложений от нескольких производителей. Карты могут отличаться по ширине используемых линий (от x1 до x16) и поддерживаемой скорости передачи данных.

Преимуществами такого рода методик тестирования протокольного уровня являются:

- полное покрытие предусмотренных спецификацией типов пакетов;
- визуальное представление машины состояний PCI Express (LTSSM);

INTRODUCTION

This paper describes the development of a monitor PCI Express controller for testing and diagnostics of protocol level as an add-on register-based model made to standard of the same name.

Software and hardware from different manufacturers to analyze protocol-level devices PCI Express versions 1.0, 2.0, 3.0 was reviewed, its advantages and disadvantages noticed.

At present time the market presents a number of solutions that allow developers to monitor all data flows between the target device and the root complex in the computer on the PCI Express bus. Moreover, the developers of the PCI Express provided a register-based model, enabling the user to track errors in the Protocol, to produce cycles of record/reading in a specialized configuration registers, etc.

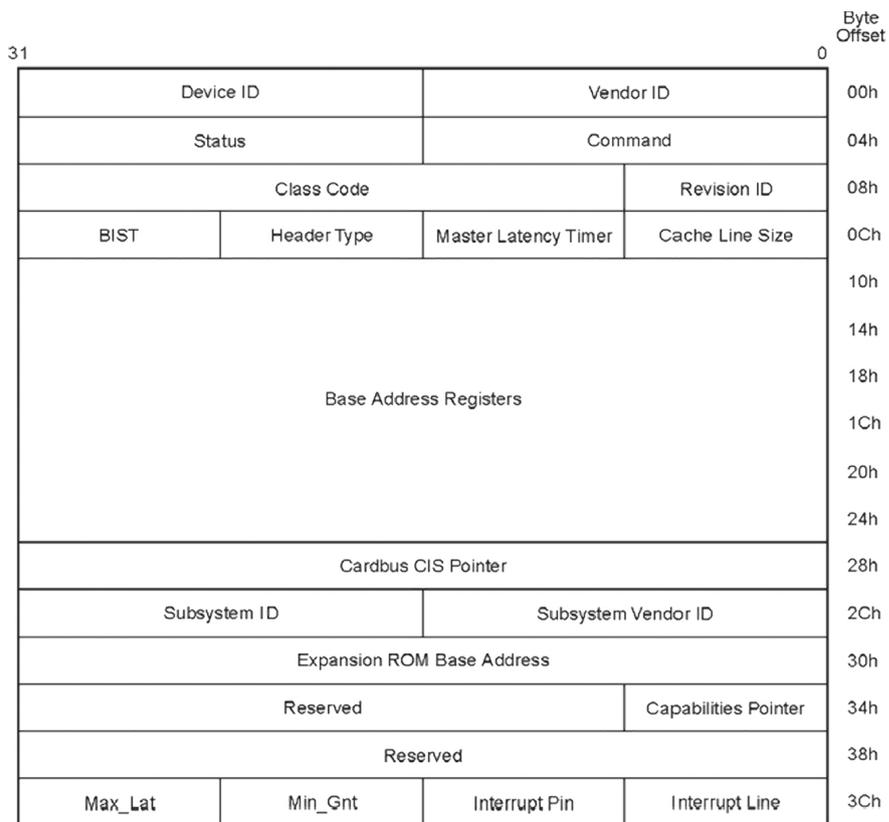


Рис. 1. Общая схема регистровой модели PCI Express

Fig. 1. General scheme of register-based model PCI Express

- возможность калибровки линий, подбора оптимальных параметров.

При всех указанных преимуществах данных методик необходимо отметить следующее. Описанные выше архитектуры представляют из себя совокупность программно-аппаратных средств, причем с закрытым исходным кодом и невозможностью разработки своих собственных тестов.

It should be noted that without using the above-mentioned specialized equipment the developer is not able to monitor the Protocol level, PCI Express, the number of transmitted (received) packets of different types, the presence or absence of confirmation to send (receive) packets (ACK/NACK), etc.

In this regard, there is a need to implement such a monitor, that would allow the developer to have the most complete display of the work of the PCI Express Protocol comparable to those that provide specialized Protocol analyzers.

PURPOSE OF THE WORK

The need to develop a PCI Express controller monitor is caused by the lack of debugging facilities provided by the specification,

as well as exclusively open source software to ensure the completeness of testing PCI Express devices.

The objectives of this work are:

- the development of a register model that provides the maximum volume of the set of debugging information;
- the development of logical blocks within the PCI Express controller to handle the data stream;
- software development for PCI Express state machine monitoring, visualization of data flow, errors and status information;
- as an access method, it is offered to use the interface boundary-scan (JTAG);
- the monitor should support early specifications (PCIe 1.0, 2.0) and most relevant (PCIe 3.0).

Такого рода протокольные анализаторы выпускаются такими производителями, как Agilent, Teledyne. В настоящее время на рынке представлен достаточно широкий ассортимент их продукции. Как правило, они отличаются исключительно особенностями программного обеспечения, шириной линий передачи данных и рядом дополнительных функций.

Помимо указанных выше подходов стоит отметить наличие методик для тестирования канального уровня приемопередатчиков PCI Express, однако их применение ограничено исключительно проверкой функционирования каналов на заданных скоростях, с отсутствием возможностей контроля данных.

Таким образом, краткий обзор существующих методик показал, что на данный момент времени отсутствует такой подход, при котором разработчик имел бы возможность производить отладку протокольного уровня PCI Express без дополнительного программно-аппаратного обеспечения. Отсутствует возможность разработки тестов, проверки протокола на предмет наличия ошибок в реальном времени и определения текущего состояния LTSSM (опять же без наличия дополнительного оборудования).

В связи с вышеуказанным возникает потребность в разработке такого подхода, при котором доступ к большинству из функций, связанных с протокольным тестированием, может быть организован без использования дополнительных

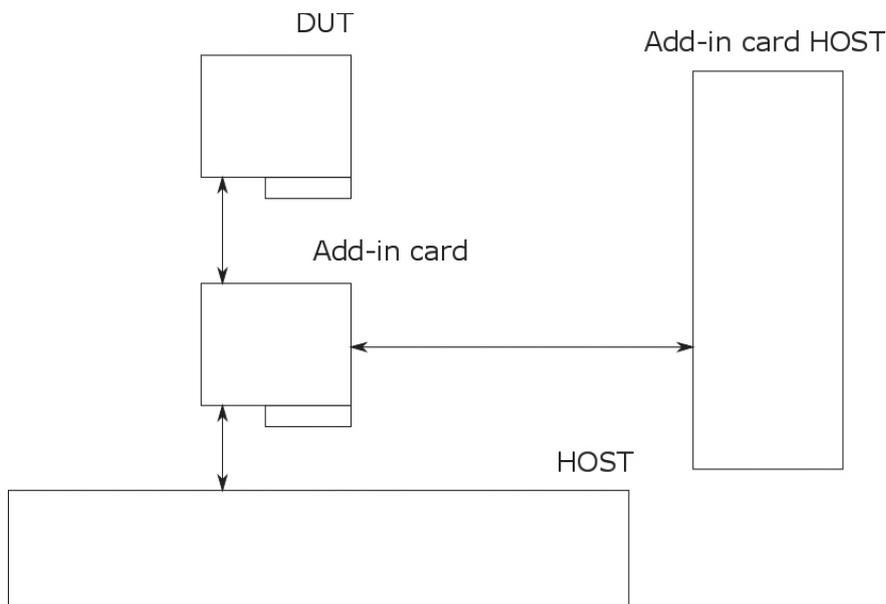


Рис. 2. Схема подключения протокольных анализаторов PCI Express
Fig. 2. PCI Express protocol analyzer connection scheme

программно-аппаратных средств. Такой подход позволяет разработчику, помимо всего прочего, получать возможность реализовывать свои собственные тесты плюс доступ к конфигурационным, статусным регистрам и т. д.

ОПИСАНИЕ МОНИТОРА КОНТРОЛЛЕРА PCI EXPRESS

Монитор контроллера PCI Express представляет собой надстройку над блоком PCI Express. Данный блок описан на языке Verilog(HDL). Блок имеет два режима работы: обычный режим,

Assessment criterion of the developed monitor is complete support of test procedures, namely:

- a visual representation of the LTSSM;
- support for monitoring data flow (DLL packets, LINK transactions and SPLIT transaction) at all speeds (2.5/5.0/8.0 GB/sec) and at any width of the data lines x1, x4, x8, x16);
- reading/writing within the standard registers.

DESCRIPTION OF THE EXISTING TEST PROCEDURES OF PROTOCOL LEVEL, PCI EXPRESS

In the beginning we will consider the testing methodology for PCI Express using only those functions that may be required by the standard. This technique is based on the register model offered to users. As noted above, this model allows monitoring of errors and making necessary adjustments to the controller through the implementation of write/read cycles of the corresponding registers. The General scheme of

a register-based device models PCI Express is shown in Fig. 1.

In addition to tracking the signs of the presence of errors, the user is provided with features such as:

- Obtaining information about the width of the data lines, the speed of a connection;
- Reading/writing BAR (Base Address Registers);
- Entry to various configuration registers.

Register model offered by the standard is applicable for end users, but has a number of disadvantages for developers due to the lack of tools to analyze incoming and outgoing flow of data (packets).

The method allowing to analyze data flows between the target device and the root complex is to include intermediates, specialized Protocol analyzer for PCI Express. Scheme of such connection is shown in Fig. 2.

In the specified configuration there is an intermediate link — Add-in card (the additional PCI Express card) together with the

accompanying equipment (Add-in card host) and the software. Today there are several offers from several producers on the market. Cards can differ in width of the used lines (from x1 to x16) and the supported data transmission speeds.

The benefits of such testing techniques on legal level are:

- Complete coverage of the types of packets provided by the specification;
- Visual representation of PCI Express state machine(LTSSM);
- Possibility of lines calibration, matching of optimum parameters.

Given these advantages the following should be noted. The above-described architectures are a set of hardware and software, with closed source and the inability of developing its own tests.

This kind of Protocol analyzers are produced by such manufacturers as Agilent, Teledyne. Currently, there is a wide enough assortment of their products on the market.

а также режим триггера, используемый для захвата потока данных на шине. Монитор состоит из аппаратной и программной части.

В состав аппаратной части монитора входят:

- блок регистров для хранения информации о состоянии контроллера PCI Express;
- массив памяти, необходимый для хранения переходов машины состояний LTSSM, а также записи ошибочных пакетов в потоке данных на шине;
- контроллеры доступа к регистрам и памяти;

Структурная схема аппаратной части монитора представлена на рис. 3.

Как следует из схемы, аппаратная часть монитора делится на 2 основные части:

- блок регистров;
- блок памяти.

С точки зрения функциональности блок регистров делится на 3 класса:

- блок регистров ошибок (Err_reg_blk) — содержит информацию о различных ошибках на всех логических уровнях контроллера PCI Express, а также об их количестве (NACK, Message и др. ошибки);
- блок регистров управления (Ctrl_reg_blk) — содержит регистры управления шиной PCI Express (скорость и ширина шины и др.);
- блок регистров состояния (Stat_reg_blk) — содержит детальную информацию о шине PCI Express (ширине и скорости шины, счетчики пакетов TL, DLL, PhyLayer, Message, ACK).

Анализ полученной из регистров информации осуществляется пользователем.

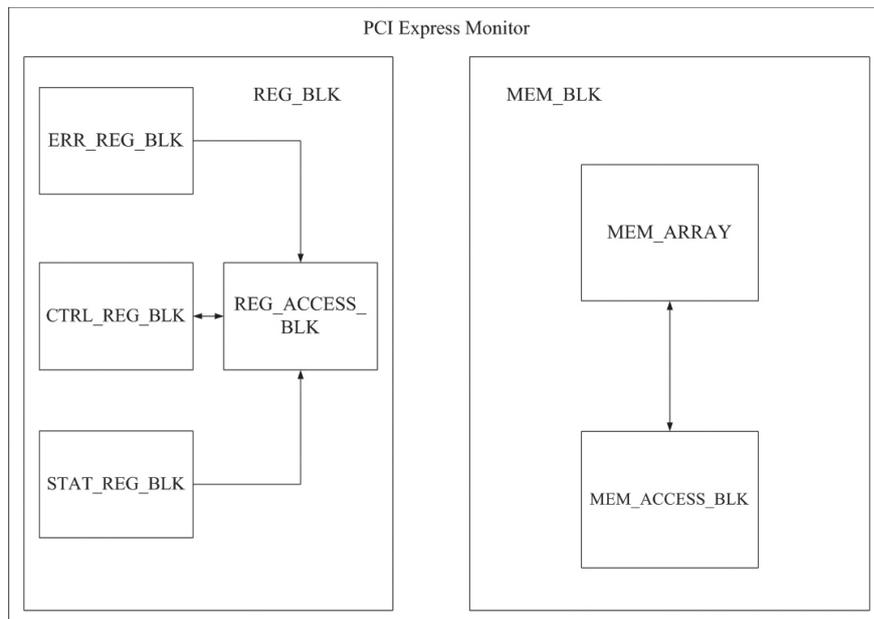


Рис. 3. Структурная схема аппаратной части монитора PCI Express

Fig. 3. Block diagram of PCI Express monitor hardware

В обычном режиме работы в массив памяти записывается информация о переходах машины состояний LTSSM. Также в мониторе предусмотрен режим триггера. Его работа заключается в следующем: при появлении ошибок на шине использование этого режима позволяет захватывать поток данных на шине PCI Express для дальнейшего анализа.

На рис. 4 показана схема подключения монитора PCI Express. Как видно из схемы, с одной стороны монитор подключается к блоку PCI Express в кристалле, а с другой стороны

As a rule, they are distinguished solely by the features of the software, the width of the data lines and a number of additional functions.

In addition to the above approaches, methods for testing link layer transceivers, PCI Express should be mentioned; however, their use is limited solely to the audit of the functioning of channels at set speed, lack of control data.

Thus, a brief review of existing methods has shown that at this time there is no approach allowing the developer to debug Protocol-level PCI Express without any additional software and hardware. There is no possibility of test development, Protocol validation for the presence of errors in real time and identifying the current state of the LTSSM (again, without additional hardware).

In view of the above, there is a need to develop an approach, allowing access to most of the functions associated with the Protocol testing without the use of additional software

and hardware. This approach provides the developer, among other things, with the ability to implement your own tests plus access to configuration and status registers, etc.

PCI EXPRESS CONTROLLER MONITOR DESCRIPTION

PCI Express controller monitor is an add-on block for PCI Express. This block is written by Verilog(HDL). The unit has two modes of activity: normal mode and trigger mode used to capture the data flow on the bus. The monitor consists of 2 parts: hardware and software.

Monitor hardware consists of:

- register block for storing information about condition of PCI Express controller;
- memory array, required to store transitions of LTSSM state machine, and the erroneous packet in the data stream on the bus;
- access to controllers registers and memory;

Block diagram of monitor hardware is presented in Fig. 3.

As follows from the diagram, monitor hardware consists of two parts:

- register block;
- memory block.

Functionally, register block is divided into three classes:

- Errors register block (Err_reg_blk) — contains information about different errors on all logical level PCI Express controller, as well as about their number (NACK, Message and other errors);
- Control registers block (Ctrl_reg_blk) — contains control registers of PCI Express bus (speed, width and etc);
- Status register block (Stat_reg_blk) — contains detailed information on the PCI Express bus (speed, width, packet counters TLP, DLLP, Phy Layer, Message, ACK);

Analysis of the information obtained from the registers is performed by the user.

In default activity mode information on LTSSM state machine is registered in memory array. Also the monitor has a trigger mode.



по внешнему интерфейсу аппаратная часть монитора соединяется с программной частью. Также на рисунке показано, что аппаратная часть монитора является частью микросхемы. Это означает, что применение данного блока невозможно, если данная функциональность не заложена в микросхему.

В качестве программной части монитора используется блок пользовательского ПО (User Software). При помощи этого блока пользователь может видеть значения статусных регистров, регистров ошибок, формировать данные для записи в регистры управления, видеть графическое представление машины состояний LTSSM-контроллера, а также в случае ошибок в определенном логическом блоке увидеть поток данных на шине PCI Express и обнаружить ошибочную транзакцию. Также программная часть позволяет проводить тестирование протокольного уровня PCI Express.

Монитор контроллера PCI Express разработан в полном соответствии со стандартом PCI Express, имеет регистровую модель, полностью совместимую со спецификацией, а также дополнительные регистры, необходимые для отладки блока.

РЕЗУЛЬТАТЫ ПРИМЕНЕНИЯ, ОЦЕНКА ПРЕИМУЩЕСТВ И НЕДОСТАТКОВ

В качестве результатов работы стоит отметить следующее:

- разработана регистровая модель монитора PCI Express;

Its activity is the following: if error occurs on the bus, use of this mode allows you to capture data stream on PCI Express bus for further analysis.

Fig. 4 shows the connection diagram of PCI Express controller monitor. As can be seen from the diagram, one side of the monitor unit is connected to the PCI Express in the chip and on the other side by the external interface hardware of monitor is connected to the software part. Also the figure shows that the hardware monitor is part of the chip. This means that the use of this block is not possible if this functionality is not inherent in the chip.

As a software of the monitor block of user software is used. With this block the user can see values of the status registers, error registers, generate data for writing to the control registers, see a graphical representation of a LTSSM state machine controller and, in the case of an error in a particular logical block, see data stream on the PCI Express bus and

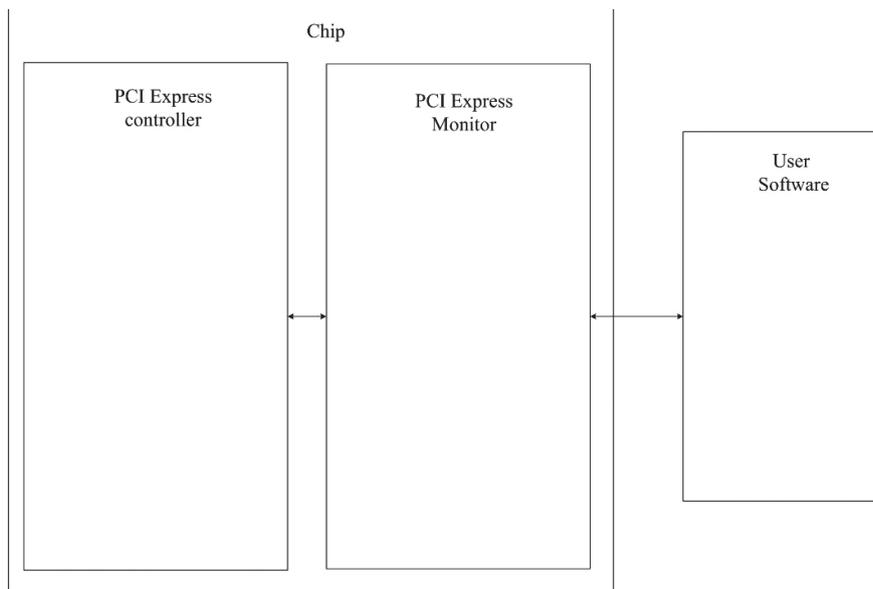


Рис. 4. Схема подключения монитора контроллера PCI Express

Fig. 4. Connection diagram of PCI Express controller monitor

detect the erroneous transaction. Also the software part enables the testing of Protocol level PCI Express.

PCI Express controller monitor is designed in full compliance with the PCI Express and has a register-based model that is fully compatible with the specification and any additional registers required for the debug unit.

RESULTS OF THE APPLICATION, ASSESSMENT OF THE ADVANTAGES AND DISADVANTAGES

As the results of the work the following should be noted:

- register model of PCI Express monitor is developed;
- access to the registers by the user is carried out via JTAG interface;
- monitor contains a block of registers that store detailed information of each Protocol layer of PCIe (Data Link Layer, Transaction Layer, Physical Layer), so you have an

option to provide the user with detailed information about transmitted/received data, to build PCI Express LTSSM state machine and also to obtain information about errors in operation of logical block belonging to the PCI Express;

- designed monitor provides complete testing of the PCI Express Protocol at all speeds and width of the data lines, provided by the specification;

Due to application of the PCI Express controller monitor it is possible, without the use of additional equipment, to get access to the state machine PCI Express (LTSSM); in the presence of errors in a particular logical block there is a trigger mode. Its essence is to capture information throughout PCI Express data flow, starting with a given user time and ending with time of filling of the buffer.

During default monitor activity, status registers are filled. Status registers contain information about the presence of errors, number of packets of various types and system messages.

- доступ к регистрам со стороны пользователя осуществляется через интерфейс JTAG;
- монитор содержит блок регистров, которые хранят детальную информацию каждого уровня протокола PCIe (Data Link Layer, Transaction Layer, Physical Layer), благодаря чему имеется возможность предоставлять пользователю подробную информацию о передаваемых/принимаемых данных, строить LTSSM-машину состояний PCI Express, а также получать информацию об ошибках в работе того или иного логического блока, относящегося к PCI Express;



- разработанный монитор обеспечивает полноту тестирования протокола PCI Express на всех предусмотренных спецификацией скоростях и ширине линий передачи данных.

В результате применения монитора контроллера PCI Express имеет возможность без использования дополнительного оборудования получать доступ к машине состояний PCI Express (LTSSM), при наличии ошибок в том или ином логическом блоке предусмотрен режим триггера (trigger mode). Его суть заключается в записи информации по всему потоку данных PCI Express, начиная с заданного пользователем момента времени и заканчивая моментом заполнения буфера.

При работе монитора в обычном режиме заполняются статусные регистры. Статусные регистры содержат в себе информацию о наличии ошибок, количестве пакетов различного типа и системных сообщениях. Более того, расширив стандартизованную регистровую модель, разработчик имеет возможность не только осуществлять контроль за работой контроллера, но и обеспечивать его управление путем соответствующих записей в регистры.

Таким образом, в результате работы стоит отметить преимущества разработанного монитора по сравнению со стандартными программно-аппаратными средствами, а также и его недостатки.

- Монитор предоставляет возможность его использования без дополнительных программно-аппаратных средств, таких как специализированное ПО и инструментальные ЭВМ.
- Обеспечена полнота тестирования протокольного уровня PCI Express.
- Благодаря предложенной регистровой модели имеется возможность создания тестового набора, в качестве интерфейса доступа к регистрам предлагается использовать, к примеру, JTAG.
- Недостатком разработанного монитора является тот факт, что данный логический блок необходимо включать в состав разрабатываемого устройства, поскольку он представляет собой надстройку над стандартизованной регистровой моделью PCI Express.

Moreover, expanding a standardized register-based model, the developer has the ability not only to monitor controller activity, but also to control it through corresponding entries in registers.

Thus, as a result of the work it is worth noting the advantages of the developed monitor compared with standard software and hardware, as well as its shortcomings.

- Monitor provides the possibility of its use without additional software and hardware such as specialized software and computer tools.
- Completeness of testing on PCI Express Protocol level is ensured.
- Due to the proposed register-based model, there is a possibility of creating the test set, as an interface of access to registers it is proposed to use, for example, JTAG.
- The disadvantage of the developed monitor is the fact that this logical unit must be included in the composition of the developed device, because it is add-on model of standardized register PCI Express.

CONCLUSION

This paper describes a PCI Express controller monitor. It is software and hardware tool to debug this protocol.

Developed monitor represents the logical blocks included in the developed PCI Express device, the buffer memory for the monitor activity in trigger mode and software part consisting of the test set and software for the visualization of the results.

It is important to include this block in the development of the device, due to the fact that it will help avoid extra debugging tools for PCI Express protocol level.

The authors consider that in this work the following statements and results are novel:

- development of an enhanced register-based model for PCI Express controller;
- ensuring the completeness of testing, the PCI Express controller without using additional commercial software and hardware;

ЗАКЛЮЧЕНИЕ

В данной работе описывается монитор контроллера PCI Express. Он представляет собой программно-аппаратное средство для отладки данного протокола.

Разработанный монитор представляет собой логические блоки, включаемые в состав разрабатываемого PCI Express контроллера, буфер памяти для работы монитора в режиме триггера, а также программную часть, состоящую из тестового набора, программного обеспечения для визуализации полученных результатов.

Важно включать данный блок при разработке устройства ввиду того, что это поможет отказаться от дополнительных средств отладки протокольного уровня PCI Express.

Авторы считают, что в данной работе новыми являются следующие положения и результаты:

- разработка расширенной регистровой модели для контроллера PCI Express;
- обеспечение полноты тестирования контроллера PCI Express без использования дополнительных коммерческих программно-аппаратных средств;
- создание возможности управления контроллером PCI Express, в том числе управления шириной линий данных, скоростью передачи данных и так далее.

ЛИТЕРАТУРА

1. Городецкий А., Курилан Л. Регистры и команды граничного сканирования. // Ч. 2. М.: «Производство электроники». — 2007. — №6. — С. 1–6.
2. PCI Express® Base Specification Revision 3.0: www.pci-sig.com.
3. Стандарт IEEE 1149.6. URL: www.jtag-test.ru/JTAGUniversity/index.php.
4. Шины PCI, PCI Express. Архитектура, дизайн, принципы функционирования. — СПб: БХВ-Петербург, 2006 — 416 с.: илл.

- there are options to control the PCI Express controller, including control over the width of the data lines, the data transfer speed and etc.

REFERENCES

1. Gorodetsky A., Kurilan L. Registry i komandy granichnogo skanirovaniya. [Registers and commands of the boundary scan]. *Proizvodstvo elektroniki — Electronics Manufacturing*, 2007, 11(2), 1–6 (in Russian).
2. PCI Express® Base Specification Revision 3.0. Available at: www.pci-sig.com. (accessed 18 June 2016).
3. IEEE 1149.6 Standart Available at: www.jtag-test.ru/JTAGUniversity/index.php (accessed 29 June 2016).
4. Petrov S. Shiny PCI, PCI Express. *Arhitektura, dizajn, principy funkcionirovaniya*. [PCI, PCI Express Buses. Architecture, design, principles of operation], SpB: BHV-Petersburg, 2006. 416 p.